



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원 번호 : 10-2003-0043087  
Application Number

출원 년 월 일 : 2003년 06월 30일  
Date of Application JUN 30, 2003

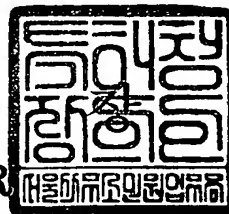
출원인 : 주식회사 하이닉스반도체  
Applicant(s) Hynix Semiconductor Inc.



2003    년    10    월    24    일

특    허    청

COMMISSIONER





1020030043087

출력 일자: 2003/10/30

【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0002
【제출일자】	2003.06.30
【발명의 명칭】	하드마스크를 이용한 반도체 소자의 게이트전극 제조 방법
【발명의 영문명칭】	METHOD FOR FABRICATING GATE-ELECTRODE OF SEMICONDUCTOR DEVICE USING HARDMASK
【출원인】	
【명칭】	주식회사 하이닉스반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【명칭】	특허법인 신성
【대리인코드】	9-2000-100004-8
【지정된변리사】	변리사 정지원, 변리사 원석희, 변리사 박해천
【포괄위임등록번호】	2000-049307-2
【발명자】	
【성명의 국문표기】	임관용
【성명의 영문표기】	LIM,Kwan Yong
【주민등록번호】	700925-1457214
【우편번호】	442-470
【주소】	경기도 수원시 팔달구 영통동 황골마을주공아파트 139-1001
【국적】	KR
【발명자】	
【성명의 국문표기】	조흥재
【성명의 영문표기】	CHO,Heung Jae
【주민등록번호】	700123-1122410
【우편번호】	467-850
【주소】	경기도 이천시 대월면 사동리 441-1 현대전자사원아파트 105-904
【국적】	KR

## 【발명자】

【성명의 국문표기】 이정호  
 【성명의 영문표기】 LEE, Jung Ho  
 【주민등록번호】 650224-1069125  
 【우편번호】 139-243  
 【주소】 서울특별시 노원구 공릉3동 풍림아파트 105-604  
 【국적】 KR

## 【발명자】

【성명의 국문표기】 장세억  
 【성명의 영문표기】 JANG, Se Aug  
 【주민등록번호】 660305-1772811  
 【우편번호】 467-860  
 【주소】 경기도 이천시 부발읍 신하리 481-1 삼익아파트 104-1210  
 【국적】 KR

## 【발명자】

【성명의 국문표기】 김용수  
 【성명의 영문표기】 KIM, Yong Soo  
 【주민등록번호】 670808-1845710  
 【우편번호】 440-420  
 【주소】 경기도 수원시 장안구 장안동 105-8  
 【국적】 KR

## 【발명자】

【성명의 국문표기】 홍병섭  
 【성명의 영문표기】 HONG, Byung Seop  
 【주민등록번호】 621011-1671028  
 【우편번호】 136-086  
 【주소】 서울특별시 성북구 보문동6가 441 아남아파트 101-1001  
 【국적】 KR

## 【발명자】

【성명의 국문표기】 오재근  
 【성명의 영문표기】 OH, Jae Geun  
 【주민등록번호】 690823-1063317



1020030043087

출력 일자: 2003/10/30

【우편번호】	467-850
【주소】	경기도 이천시 대월면 사동리 현대5차아파트 504-1603
【국적】	KR
【발명자】	
【성명의 국문표기】	양홍선
【성명의 영문표기】	YANG,Hong Seon
【주민등록번호】	580502-1094015
【우편번호】	449-162
【주소】	경기도 용인시 죽전2동 벽산4차아파트 403-308
【국적】	KR
【발명자】	
【성명의 국문표기】	손현철
【성명의 영문표기】	SOHN,Hyun Chul
【주민등록번호】	610318-1010333
【우편번호】	135-011
【주소】	서울특별시 강남구 논현1동 22 논현아파트 106-1001
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 특허법인 신성 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	12 면 12,000 원
【우선권주장료】	0 건 0 원
【심사청구료】	15 항 589,000 원
【합계】	630,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

## 【요약서】

## 【요약】

본 발명은 게이트전극을 구성하는 금속막의 이상 산화를 방지하면서, 스트레스를 억제할 수 있는 이중 하드마스크 기술을 적용하는데 적합한 반도체 소자의 게이트전극 제조 방법을 제공하기 위한 것으로, 적어도 금속막으로 이루어진 게이트막 상에 하드마스크 산화막과 하드마스크 질화막의 이중 하드마스크층을 형성하되, 게이트막에 직접 접하는 하드마스크 산화막을 게이트막의 금속막 산화 온도보다 낮은 온도( $70^{\circ}\text{C} \sim 350^{\circ}\text{C}$ )에서 원자층증착법으로 증착하여 게이트막의 금속막이 이상산화되는 것을 방지하고, 동시에 하드마스크 질화막만을 적용하던 것에 비해 하드마스크 산화막을 포함하는 이중 하드마스크를 적용함으로써 하드마스크 질화막에 기인하여 초래되는 스트레스를 방지한다.

## 【대표도】

도 5

## 【색인어】

게이트전극, 폴리메탈게이트, 폴리사이드게이트, 원자층증착법, 텅스텐, 이상산화, 화학기상증착법, 하드마스크, 하드마스크산화막, 하드마스크질화막

## 【명세서】

## 【발명의 명칭】

하드마스크를 이용한 반도체 소자의 게이트전극 제조 방법 {METHOD FOR FABRICATING GATE-ELECTRODE OF SEMICONDUCTOR DEVICE USING HARDMASK}

## 【도면의 간단한 설명】

도 1a 및 도 1b는 종래 기술에 따른 단일 하드마스크를 이용한 반도체 소자의 게이트전극 제조 방법을 도시한 공정 단면도,

도 2는 종래 기술에 따른 하드마스크 질화막의 유무에 따른 SILC(Stress Induced Leakage Current)를 비교한 도면,

도 3은 도 2의 제1,2시료 및 제3시료의 계면트랩밀도(Interface trap density,  $D_{it}$ )를 비교한 도면,

도 4는 종래 기술에 따른 이중 하드마스크를 이용하여 제조된 반도체 소자를 도시한 도면,

도 5는 본 발명에 따른 반도체 소자의 게이트전극 제조 방법의 개념도이다

도 6a 내지 도 6c는 본 발명의 제1실시예에 따른 반도체 소자의 게이트전극 제조 방법을 도시한 공정 단면도,

도 7은 본 발명의 제2실시예에 따라 형성된 반도체 소자의 게이트전극을 도시한 도면이다.

도 8은 본 발명의 제3실시예에 따라 형성된 반도체 소자의 게이트전극을 도시한 도면,

도 9는 본 발명의 제4실시예에 따라 형성된 반도체 소자의 게이트전극을 도시한 도면.

\*도면의 주요 부분에 대한 부호의 설명

- |                |                |
|----------------|----------------|
| 41 : 실리콘기판     | 42 : 게이트절연막    |
| 43 : 제1게이트막    | 44 : 확산배리어막    |
| 45 : 제2게이트막    | 46 : 하드마스크 산화막 |
| 47 : 하드마스크 질화막 |                |

#### 【발명의 상세한 설명】

#### 【발명의 목적】

#### 【발명이 속하는 기술분야 및 그 분야의 종래기술】

<15> 본 발명은 반도체 제조 기술에 관한 것으로, 특히 하드마스크를 이용한 반도체 소자의 게이트전극 제조 방법에 관한 것이다.

<16> 최근에 반도체 소자가 고집적화되고 그에 상응하여 포토레지스트(photoresist)의 사용 가능 두께는 낮아진다. 이와 같은 포토레지스트의 두께가 작아지는 것에 의해 패터닝 공정시에 포토레지스트의 선택비는 줄어든다.

<17> 이와 같은 문제를 개선하기 위하여 게이트전극 등을 비롯한 많은 식각 공정에서 하드마스크(hardmask)를 사용하고 있다.

<18> DRAM과 같이 메모리소자의 경우, 하드마스크로  $\text{Si}_3\text{N}_4$ 과 같은 질화막(nitride)을 주로 이용하여 패터닝 공정을 적용하고 있다. 이는 단순히 포토레지스트만 사용하여 패터닝하는 것에 비해 식각이 용이하다는 점 외에도 메모리 소자의 필수 공정인 자기정렬콘택(Self Aligned

Contact; SAC) 공정이 가능하다는 장점이 있기 때문이다. 특히, 게이트전극의 선폭이 100nm 이하로 작아짐에 따라 게이트전극간 간격이 급격히 좁아지면서 자기정렬콘택 식각시 로딩효과 (loading effect)가 발생하여 공정마진이 좁아지는데, 공정마진을 높이기 위하여 매우 두꺼운 하드마스크가 요구되고 있다. 여기서, 로딩 효과라 함은 식각될 층뿐만 아니라 하부층까지 식각되는 문제를 일컫는 것으로, 예를 들어 게이트전극 상부에 하드마스크를 적용하는 경우, 콘택식각시 하드마스크가 손상되어 게이트전극과 콘택이 숏트되는 문제를 일으킨다.

- <19> 도 1a 및 도 1b는 종래 기술에 따른 단일 하드마스크를 이용한 반도체 소자의 게이트전극 제조 방법을 도시한 공정 단면도이다.
- <20> 도 1a에 도시된 바와 같이, 실리콘기판(11) 상에 게이트절연막(12)을 증착하고, 게이트절연막(12) 상에 폴리실리콘막(13), 텅스텐질화막(14), 텅스텐막(15)을 순차 적층 형성한다. 그리고 나서, 텅스텐막(15) 상에 하드마스크층으로 하드마스크 질화막(16)을 증착하고, 하드마스크 질화막(16) 상에 게이트전극을 패터닝하기 위한 감광막패턴(17)을 형성한다.
- <21> 도 1b에 도시된 바와 같이, 감광막패턴(17)을 식각마스크로 하여 하드마스크 질화막(16)을 식각하여 하드마스크 질화막패턴(16a)을 형성하고, 감광막패턴(17)을 제거한다. 이어서, 하드마스크 질화막패턴(16a)을 식각마스크로 하여 텅스텐막(15), 텅스텐질화막(14) 및 폴리실리콘막(13)을 순차적으로 식각하여 폴리실리콘막(13), 텅스텐질화막(14) 및 텅스텐막(15)의 순서로 적층된 폴리메탈 게이트전극(Poly-metal gate electrode)을 형성한다.
- <22> 전술한 바와 같은 종래 기술에서 하드마스크 질화막(16)은 후속 자기정렬콘택 식각공정의 공정마진을 확보하기 위해 두께를 1500Å 이상으로 두껍게 형성한다.



- <23> 그러나, 종래 기술은 매우 두꺼운 질화막을 하드마스크로 사용함에 따라 후속 열공정시 두꺼운 질화막에 기인하는 스트레스(stress)가 발생되어 MOSFET 특성이 열화되는 문제가 있다.
- <24> 도 2는 종래 기술에 따른 하드마스크 질화막의 유무에 따른 SILC(Stress Induced Leakage Current)를 비교한 도면이다. 도 2에서, 'S1'은 폴리실리콘막, 텅스텐질화막 및 텅스텐막의 순서로 적층된 게이트전극 상부에 하드마스크 질화막이 적용된 제1시료이고, 'S2'는 폴리실리콘막, 텅스텐질화막 및 텅스텐막의 순서로 적층된 게이트전극 상부에 하드마스크 질화막이 적용되지 않은 제2시료이며, 'S3'는 폴리실리콘막으로만 구성된 게이트전극 상부에 하드마스크 질화막이 적용되지 않은 제3시료이다.
- <25> 도 2에 도시된 바와 같이, 하드마스크 질화막이 적용된 제1시료(S1)의 SILC가 제2시료(S2) 및 제3시료(S3)에 비해 SILC가 매우 큼을 알 수 있다.
- <26> 도 3은 도 2의 제1,2시료 및 제3시료의 계면트랩밀도(Interface trap density,  $D_{it}$ )를 비교한 도면이다. 여기서, 계면트랩밀도는 게이트절연막과 반도체 기판 사이에 존재하는 트랩의 밀도이다.
- <27> 도 3에 도시된 바와 같이, 하드마스크 질화막을 적용한 제1시료의 계면트랩밀도가 제2시료 및 제3시료에 비해 현저히 높음을 알 수 있다.
- <28> 도 2 및 도 3의 결과에 따르면, 하드마스크 질화막을 적용함에 따라 매우 큰 스트레스를 유발하여 소자의 열화를 초래함을 알 수 있다.
- <29> 전술한 바와 같이, 매우 두꺼운 질화막을 단일 하드마스크로 적용함에 따른 스트레스를 감소시키기 위해 이중·하드마스크(Double hardmask) 기술이 제안되었다.

- <30> 도 4는 종래 기술에 따른 이중 하드마스크를 이용하여 제조된 반도체 소자를 도시한 도면이다.
- <31> 도 4에 도시된 바와 같이, 실리콘 기판(21) 상에 게이트절연막(22)이 형성되고, 게이트절연막(22) 상에 폴리실리콘막(23), 텅스텐질화막(24) 및 텅스텐막(25)의 순서로 적층된 폴리메탈게이트전극이 형성되며, 폴리메탈게이트전극 상부에 하드마스크 산화막(26)과 하드마스크 질화막(27)의 이중층으로 이루어진 이중 하드마스크가 형성된다. 이때, 이중 하드마스크 중 하드마스크 산화막(26)은 상대적으로 증착 온도가 400℃ 이상인 열성장(thermal oxidation)법 또는 화학기상증착법(CVD)을 이용하여 형성한다.
- <32> 도 4의 종래 기술은 질화막에 기인한 스트레스를 완화시켜주기 위해 버퍼막으로 하드마스크 산화막(26)을 폴리메탈게이트전극과 하드마스크 질화막(27) 사이에 삽입하고 있다.
- <33> 그러나, 도 4의 종래 기술에서는 하드마스크 산화막(26) 형성시 고온의 열공정을 수반하는 열성장법 또는 화학기상증착법을 이용하여 증착하기 때문에 텅스텐막과 같은 고융점 금속막을 포함하는 폴리메탈게이트(polymetal gate), 폴리사이드게이트(polycide gate), 메탈게이트(metal gate) 구조에서는 적용하기 어렵다. 예컨대, 도 4를 참조하면, 열성장법 또는 화학기상증착법에 의해 형성되는 하드마스크 산화막(26)의 증착온도가 400℃ 이상이므로 게이트전극을 구성하는 텅스텐막(25)이 이상 산화(abnormal oxidation)되고, 이에 따라 텅스텐막(25)과 하드마스크 산화막(26) 사이에 WO(Tungsten oxide)와 같은 기생산화막(28)이 형성된다.
- 통상적으로, 텅스텐막은 350℃ 이상에서 산소가 포함된 기체를 만날 경우 이상 산화가 발생하는 것으로 알려져 있다. 이상 산화가 발생하면 텅스텐막내 텅스텐의 양이 줄어들어 결과적으로 게이트전극의 저항을 높이는 문제를 초래한다.

**【발명이 이루고자 하는 기술적 과제】**

- <34> 본 발명은 상기한 종래 기술의 문제점을 해결하기 위해 안출한 것으로, 게이트전극을 구성하는 금속막의 이상 산화를 방지하면서, 스트레스를 억제할 수 있는 이중 하드마스크 기술을 적용하는데 적합한 반도체 소자의 게이트전극 제조 방법을 제공하는데 그 목적이 있다.

**【발명의 구성 및 작용】**

- <35> 상기 목적을 달성하기 위한 본 발명의 반도체 소자의 게이트전극 제조 방법은 반도체 기판 상에 게이트절연막을 형성하는 단계, 상기 게이트절연막 상에 적어도 금속막으로 이루어진 게이트막을 형성하는 단계, 상기 금속막의 산화 온도보다 낮은 온도에서 상기 도전막 상에 하드마스크 산화막을 형성하는 단계, 상기 하드마스크 산화막 상에 하드마스크 질화막을 형성하는 단계, 상기 하드마스크 질화막과 상기 하드마스크 산화막을 게이트전극을 형성하기 위한 이중 마스크층으로 패터닝하는 단계, 및 상기 이중 마스크층을 식각마스크로 상기 게이트막을 식각하여 게이트전극을 형성하는 단계를 포함하는 것을 특징으로 한다.
- <36> 또한, 본 발명의 반도체 소자의 게이트전극 제조 방법은 반도체 기판 상에 게이트절연막을 형성하는 단계, 상기 게이트절연막 상에 적어도 금속막으로 이루어진 게이트막을 형성하는 단계, 상기 금속막의 산화 온도보다 낮은 온도에서 상기 게이트막 상에 하드마스크 산화막을 형성하는 단계, 상기 하드마스크 산화막 상에 하드마스크 질화막과 하드마스크 도전막을 적층하여 삼중 하드마스크를 형성하는 단계, 상기 삼중 하드마스크를 게이트전극을 형성하기 위한 마스크층으로 패터닝하는 단계, 및 상기 패터닝된 삼중 하드마스크를 식각마스크로 상기 게이트막을 식각하여 게이트전극을 형성하는 단계를 포함하는 것을 특징으로 한다.

- <37> 바람직하게, 하드마스크 산화막을 형성하는 단계는, 70℃ ~ 350℃의 온도에서 원자층증착법으로 이루어지고, 상기 하드마스크 산화막의 치밀화 및 막내 불순물 제거를 위한 어닐링 단계를 더 포함하는 것을 특징으로 한다.
- <38> 이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부 도면을 참조하여 설명하기로 한다.
- <39> 후술하는 본 발명은 게이트전극 상부에 하드마스크 산화막과 하드마스크 질화막의 이중 하드마스크 기술을 적용할 때, 게이트전극을 이루는 금속막이 하드마스크 산화막 증착시에 이상 산화되는 것을 방지하기 위한 방법으로서 하드마스크 산화막 증착시 증착 온도를 낮추는 방법을 제안한다.
- <40> 즉, 종래 기술이 고온 산화분위기의 열공정을 수반하는 열법 또는 화학기상증착법을 이용하여 하드마스크 산화막을 증착했던 것에 비해 본 발명은 하드마스크 산화막을 열성장법 또는 화학기상증착법에 비해 상대적으로 저온에서 공정이 진행되는 원자층증착법(Atomic Layer Deposition; ALD)을 이용하여 형성한다. 원자층 증착법(ALD)은 먼저 소스가스를 공급하여 기판 표면에 한 층의 소스를 화학적으로 흡착(Chemical Adsorption)시키고 여분의 물리적 흡착된 소스들은 퍼지가스를 흘려보내어 퍼지시킨 다음, 한 층의 소스에 반응가스를 공급하여 한 층의 소스와 반응가스를 화학반응시켜 원하는 원자층 박막을 증착하고 여분의 반응가스는 퍼지가스를 흘려보내 퍼지시키는 과정을 한 주기로 하여 박막을 증착한다. 상술한 바와 같이 원자층 증착방법은 표면 반응 메카니즘(Surface Reaction Mechanism)을 이용하므로써 안정된 박막을 얻을 수 있을 뿐만 아니라 균일한 박막을 얻을 수 있다. 또한, 소스가스와 반응가스를 서로 분리

시켜 순차적으로 주입 및 퍼지시키기 때문에 화학적기상증착법(CVD)에 비해 가스 위상 반응 (Gas Phase Reaction)에 의한 파티클(Particle) 생성을 억제하는 것으로 알려져 있다.

<41> 도 5는 본 발명에 따른 반도체 소자의 게이트전극 제조 방법의 개념도이다.

<42> 도 5에 도시된 바와 같이, 본 발명의 반도체 소자의 게이트전극 제조 방법은 크게, 게이트절연막 형성 공정(31), 고융점 금속막을 포함하는 게이트전극 증착 공정(32), 원자층증착법을 이용한 하드마스크 산화막 증착 공정(33), 화학기상증착법을 이용한 하드마스크 질화막 증착 공정(34), 게이트전극 패터닝 공정(35)으로 이루어진다. 이때, 하드마스크 산화막 증착 공정(33)이 원자층증착법을 이용하여 이루어지는데, 종래 화학기상증착법이 400℃ 이상의 온도에서 진행되는 것과 달리 원자층증착법은 350℃ 이하의 온도에서 증착하여도 요구되는 하드마스크 산화막의 막특성을 만족한다. 바람직하게, 하드마스크 산화막의 원자층증착법은 70℃~350℃의 범위에서 진행된다.

<43> 전술한 바와 같이, 고융점 금속막을 포함하는 게이트전극 상부에 상대적으로 저온에서 증착 가능한 원자층증착법을 이용하여 하드마스크 산화막을 증착함으로써, 게이트전극을 구성하는 금속막의 이상 산화를 방지하고, 동시에 하드마스크 질화막과 게이트전극 사이에 하드마스크 산화막을 삽입함으로써 하드마스크 질화막에 기인한 스트레스를 억제한다.

<44> 이하, 첨부도면을 참조하여 본 발명의 실시예들을 설명하기로 한다.

<45> 도 6a 내지 도 6c는 본 발명의 제1실시예에 따른 반도체 소자의 게이트전극 제조 방법을 도시한 공정 단면도이다.

<46> 도 6a에 도시된 바와 같이, 실리콘기판(41) 상에 게이트절연막(42)을 증착하고, 게이트절연막(42) 상에 제1게이트막(43), 확산배리어막(44), 제2게이트막(45)을 순차 적층 형성한다.

이때, 게이트절연막(32)은 실리콘기판(31)을 열산화시킨 실리콘산화막( $\text{SiO}_2$ )이다. 그리고, 제1 게이트막(33)은 폴리실리콘막(polysilicon) 또는 폴리실리콘게르마늄막( $\text{PolySi}_{1-x}\text{Ge}_x$ ,  $x=0.01 \sim 0.99$ )이다. 그리고, 확산배리어막(34)은 제1게이트막(33)과 제2게이트막(35)간 상호확산을 방지하는 막으로  $10 \text{ \AA} \sim 300 \text{ \AA}$  두께의 텅스텐질화막( $\text{WN}_x$ ,  $x=0.1 \sim 2.0$ ) 또는  $5 \text{ \AA} \sim 20 \text{ \AA}$  두께의 실리콘질화막( $\text{SiN}_x$ ,  $x=0.1 \sim 2.0$ )을 이용한다. 그리고, 제2게이트막(35)은 제1게이트막(33)과 확산배리어막(34) 위에 적층되어 폴리메탈게이트 구조를 형성하기 위해 텅스텐막(W)을 이용한다.

<47> 다음으로, 제2게이트막(35) 상에 제2게이트막(35)으로 이용되는 텅스텐막의 산화온도인  $400^\circ\text{C}$ 보다 낮은 온도( $70^\circ\text{C} \sim 350^\circ\text{C}$ )에서 하드마스크 산화막(36)을  $10 \text{ \AA} \sim 1000 \text{ \AA}$  두께로 증착하되, 열성장법 또는 화학기상증착법(CVD)에 비해 상대적으로 저온에서 증착 공정이 가능한 원자층증착법(ALD)을 이용한다. 여기서, 하드마스크 산화막(36)은 실리콘산화막( $\text{SiO}_2$ ),  $\text{SiO}_x\text{N}_y$  ( $x=0 \sim 2.0$ ,  $y=0 \sim 1.0$ ) 및  $\text{SiO}_x\text{F}_y$  ( $x=0 \sim 2.0$ ,  $y=0 \sim 1.0$ )로 이루어진 그룹중에서 선택되거나,  $\text{HfO}_2$ ,  $\text{ZrO}_2$ ,  $\text{Ta}_2\text{O}_5$ ,  $\text{Al}_2\text{O}_3$ ,  $\text{La}_2\text{O}_3$ ,  $\text{Y}_2\text{O}_3$  및  $\text{CeO}_2$ 로 이루어진 그룹중에서 선택된 고유전막이다.

<48> 예를 들어, 실리콘산화막( $\text{SiO}_2$ )의 원자층증착법(ALD)을 설명하면, 먼저 실리콘(Si) 소스 가스를 RF 플라즈마(Radio Frequency plasma) 또는 마이크로웨이브플라즈마(Microwave plasma)로 활성화시켜 공급하여 흡착시키고, 흡착되지 않은 여분의 실리콘 소스 가스를 퍼지시킨다. 다음에, 반응가스로 산화가스를 공급하여 흡착된 실리콘소스가스와 산화가스를 화학반응시켜 원자층 단위의 실리콘산화막을 형성한다. 다음에, 화학반응에 참여하지 않은 산화가스 및 반응 부산물을 퍼지시킨다. 위와 같은 실리콘산화막의 원자층증착은  $70^\circ\text{C} \sim 350^\circ\text{C}$ 의 증착온도에서 이루어지며, 실리콘 소스가스는  $\text{SiCl}_6$ ,  $\text{SiCl}_4$ ,  $\text{SiCl}_2\text{H}_2$ ,  $\text{SiH}_4$ ,  $\text{SiF}_4$  및  $\text{SiF}_6$ 로 이루어진 그룹중에서 선택되는 실리콘 함유 가스를 이용하고, 반응가스는  $\text{O}_2$ ,  $\text{O}_3$ ,  $\text{H}_2\text{O}$ ,  $\text{D}_2\text{O}$ (D는 Deuterium, 중

수소), NO 및  $N_2O$ 로 이루어진 그룹중에서 선택된다. 또한, 실리콘소스가스, 산화가스, 퍼지가스 등을 RF 플라즈마 또는 마이크로웨이브플라즈마로 활성화시켜 공급할 수도 있다.

<49> 전술한 바와 같이, 제2게이트막(35) 상에 형성되는 하드마스크 산화막(36)을  $70^{\circ}\text{C} \sim 350^{\circ}\text{C}$ 의 저온에서 원자층증착법을 이용하여 형성하므로써 제2게이트막(35)인 텅스텐막의 이상 산화를 방지한다.

<50> 한편, 하드마스크 산화막(36)이 저온에서 증착됨에 따라 치밀도가 낮고, 실리콘 소스가스로 Cl이나 F가 함유된 가스를 이용하기 때문에 증착후에 막내 Cl이나 F와 같은 불순물이 잔류하여 막특성을 저하시킬 수 있는데, 치밀도 증가 및 막내 잔류하는 불순물 제거를 위해  $N_2$ ,  $H_2$  또는  $N_2$ 와  $H_2$ 의 혼합기체 분위기에서 10초~30분간  $400^{\circ}\text{C} \sim 1000^{\circ}\text{C}$ 의 온도로 어닐링한다. 이때, 어닐링 온도가  $400^{\circ}\text{C} \sim 1000^{\circ}\text{C}$ 의 온도로 매우 높지만 미리 하드마스크 산화막(36)이 형성된 상태이므로 제2게이트막(35)에 가해지는 썬열 버짓이 억제되고, 또한 어닐링 분위기가  $N_2$  또는  $H_2$ 이므로 제2게이트막(35)인 텅스텐막이 산화되지 않는다.

<51> 다음으로, 하드마스크 산화막(36) 상에 화학기상증착법을 이용하여 하드마스크 질화막(37)을 증착한다. 이때, 하드마스크 질화막(37)은 화학기상증착법 또는 원자층증착법을 이용하여  $500\text{\AA} \sim 5000\text{\AA}$  두께로 증착하며, 실리콘질화막( $\text{Si}_3\text{N}_4$ )을 이용한다. 여기서, 하드마스크 질화막(37)의 공정온도가  $600^{\circ}\text{C}$  이상으로 높을 경우에는 전술한 하드마스크 산화막(36) 형성후 추가 어닐링은 생략할 수도 있다.

<52> 도 6b에 도시된 바와 같이, 하드마스크 질화막(37) 상에 게이트전극을 패터닝하기 위한 감광막패턴(38)을 형성한 후, 감광막패턴(38)을 식각마스크로 하드마스크 질화막(37)과 하드마스크 산화막(36)을 순차적으로 패터닝한다.

- <53> 위와 같은 패터닝에 의해 형성되는 하드마스크 산화막(36)과 하드마스크 질화막(37)은 후속 게이트전극 패터닝시 식각마스크로 이용되는 이중 하드마스크 구조를 형성한다. 이와 같이, 이중 하드마스크 구조를 적용하면, 고집적 소자 제조시 감광막의 두께를 낮출 수 있다.
- <54> 도 6c에 도시된 바와 같이, 감광막패턴(48)을 제거한 후, 하드마스크 산화막(46)과 하드마스크 질화막(47)의 이중 하드마스크층을 식각마스크로 제2게이트막(45), 확산배리어막(44) 및 제1게이트막(43)을 순차적으로 패터닝한다.
- <55> 위와 같은 이중 하드마스크층에 의해 패터닝되어 형성되는 제1게이트막(33a), 확산배리어막(34a) 및 제2게이트막(35a)의 적층막은 폴리메탈게이트 구조이다.
- <56> 전술한 바와 같은 제1실시예에 따르면, 폴리메탈게이트 구조 상부에 하드마스크 산화막(36)과 하드마스크 질화막(47)의 이중 하드마스크 기술을 적용함으로써 폴리메탈게이트의 패터닝 공정이 용이함과 동시에 하드마스크 질화막만을 적용하던 것에 비해 스트레스로 인한 열화를 방지하며, 폴리메탈게이트 상에 형성되는 하드마스크 산화막(46)을 저온에서 증착하므로 폴리메탈게이트를 구성하는 제2게이트막(45)이 이상 산화되는 것을 방지한다.
- <57> 도 7은 본 발명의 제2실시예에 따라 형성된 반도체 소자의 게이트전극을 도시한 도면이다.
- <58> 도 7에 도시된 바와 같이, 실리콘 기판(51) 상에 게이트절연막(52)이 형성되고, 게이트절연막(52) 상에 제1게이트막(53)과 제2게이트막(54)의 적층으로 이루어진 폴리사이드 게이트 구조가 형성된다. 그리고, 폴리사이드 게이트 구조 상부에 하드마스크 산화막(55)과 하드마스크 질화막(56)의 이중 하드마스크층이 형성된다.



<59> 도 7에서, 게이트절연막(52)은 실리콘기판(51)을 열산화시킨 실리콘산화막( $\text{SiO}_2$ )이고, 제1게이트막(53)은 폴리실리콘막 또는 폴리실리콘게르마늄막( $\text{PolySi}_{1-x}\text{Ge}_x$ ,  $x=0.01\sim0.99$ )이다. 그리고, 제2게이트막(54)은 제1게이트막(53) 위에 적층되어 폴리사이드게이트 구조를 형성하기 위해 텅스텐실리사이드( $\text{WSi}_x$ ,  $x=1\sim3$ ), 코발트실리사이드( $\text{CoSi}_x$ ,  $x=1\sim3$ ), 니켈실리사이드( $\text{NiSi}_x$ ,  $x=1\sim3$ ), 크롬실리사이드( $\text{CrSi}_x$ ,  $x=1\sim3$ ) 및 티타늄실리사이드( $\text{TiSi}_x$ ,  $x=1\sim3$ )로 이루어진 그룹중에서 선택되는 실리사이드막을 이용한다. 그리고, 하드마스크 산화막(55)은  $70^\circ\text{C}\sim350^\circ\text{C}$ 에서 원자층증착법(ALD)을 이용하여 형성한 것으로, 실리콘산화막( $\text{SiO}_2$ ),  $\text{SiO}_x\text{N}_y$  ( $x=0\sim2.0$ ,  $y=0\sim1.0$ ) 및  $\text{SiO}_x\text{F}_y$  ( $x=0\sim2.0$ ,  $y=0\sim1.0$ )로 이루어진 그룹중에서 선택되거나,  $\text{HfO}_2$ ,  $\text{ZrO}_2$ ,  $\text{Ta}_2\text{O}_5$ ,  $\text{Al}_2\text{O}_3$ ,  $\text{La}_2\text{O}_3$ ,  $\text{Y}_2\text{O}_3$  및  $\text{CeO}_2$ 로 이루어진 그룹중에서 선택된 고유전막이다. 예를 들어, 실리콘산화막( $\text{SiO}_2$ )을 형성하기 위한 실리콘 소스가스는  $\text{SiCl}_6$ ,  $\text{SiCl}_4$ ,  $\text{SiCl}_2\text{H}_2$ ,  $\text{SiH}_4$ ,  $\text{SiF}_4$  및  $\text{SiF}_6$ 로 이루어진 그룹중에서 선택되는 실리콘 함유 가스를 이용하고, 반응가스는  $\text{O}_2$ ,  $\text{O}_3$ ,  $\text{H}_2\text{O}$ ,  $\text{D}_2\text{O}$ (D는 중수소),  $\text{NO}$  및  $\text{N}_2\text{O}$ 로 이루어진 그룹중에서 선택된다. 또한, 실리콘 소스가스, 산화가스, 퍼지가스 등을 RF 플라즈마 또는 마이크로웨이브플라즈마로 활성화시켜 공급할 수도 있다.

<60> 한편, 하드마스크 산화막(55)은 제1실시예와 동일하게, 치밀도 증가 및 막내 잔류하는 불순물 제거를 위해  $\text{N}_2$ ,  $\text{H}_2$  또는  $\text{N}_2$ 와  $\text{H}_2$ 의 혼합기체 분위기에서 10초~30분간  $400^\circ\text{C}\sim1000^\circ\text{C}$ 의 온도로 어닐링하는 후속 공정이 수반된 것이다.

<61> 그리고, 하드마스크 질화막(56)은 화학기상증착법 또는 원자층증착법을 이용하여  $500\text{\AA}\sim5000\text{\AA}$  두께로 증착하며, 실리콘질화막( $\text{Si}_3\text{N}_4$ )이다. 여기서, 하드마스크질화막(56)의 공정온도가  $600^\circ\text{C}$  이상으로 높을 경우에는 전술한 하드마스크산화막(55) 형성후 추가 어닐링은 생략할 수도 있다.

- <62> 도 8은 본 발명의 제3실시예에 따라 형성된 반도체 소자의 게이트전극을 도시한 도면이다.
- <63> 도 8에 도시된 바와 같이, 실리콘 기판(61) 상에 게이트절연막(62)이 형성되고, 게이트절연막(62) 상에 금속막(63)로 이루어진 메탈 게이트 구조가 형성된다. 그리고, 메탈 게이트 구조 상부에 하드마스크 산화막(64)과 하드마스크 질화막(65)의 이중 하드마스크층이 형성된다.
- <64> 도 8에서, 게이트절연막(62)은 실리콘기판(61)을 열산화시킨 실리콘산화막( $\text{SiO}_2$ )이고, 금속막(63)은 TaN, TaSiN, TiN, TiAlN 및 HfN으로 이루어진 그룹중에서 선택된 하나이다. 여기서, 질소가 함유된 금속막을 사용하는 이유는 후속 열처리시 게이트절연막과의 반응을 방지하기 위함이다.
- <65> 그리고, 하드마스크 산화막(64)은  $70^\circ\text{C} \sim 350^\circ\text{C}$ 에서 원자층증착법(ALD)을 이용하여 형성한 것으로, 실리콘산화막( $\text{SiO}_2$ ),  $\text{SiO}_x\text{N}_y$  ( $x=0 \sim 2.0$ ,  $y=0 \sim 1.0$ ) 및  $\text{SiO}_x\text{F}_y$  ( $x=0 \sim 2.0$ ,  $y=0 \sim 1.0$ )로 이루어진 그룹중에서 선택되거나,  $\text{HfO}_2$ ,  $\text{ZrO}_2$ ,  $\text{Ta}_2\text{O}_5$ ,  $\text{Al}_2\text{O}_3$ ,  $\text{La}_2\text{O}_3$ ,  $\text{Y}_2\text{O}_3$  및  $\text{CeO}_2$ 로 이루어진 그룹중에서 선택된 고유전막이다. 예를 들어, 실리콘산화막( $\text{SiO}_2$ )을 형성하기 위한 실리콘 소스가스는  $\text{SiCl}_6$ ,  $\text{SiCl}_4$ ,  $\text{SiCl}_2\text{H}_2$ ,  $\text{SiH}_4$ ,  $\text{SiF}_4$  및  $\text{SiF}_6$ 로 이루어진 그룹중에서 선택되는 실리콘 함유 가스를 이용하고, 반응가스는  $\text{O}_2$ ,  $\text{O}_3$ ,  $\text{H}_2\text{O}$ ,  $\text{D}_2\text{O}$ (D 는 중수소), NO 및  $\text{N}_2\text{O}$ 로 이루어진 그룹중에서 선택된다. 또한, 실리콘소스가스, 산화가스, 퍼지가스 등을 RF 플라즈마 또는 마이크로웨이브플라즈마로 활성화시켜 공급할 수도 있다.
- <66> 한편, 하드마스크 산화막(64)은 제1,2실시예와 동일하게, 치밀도 증가 및 막내 잔류하는 불순물 제거를 위해  $\text{N}_2$ ,  $\text{H}_2$  또는  $\text{N}_2$ 와  $\text{H}_2$ 의 혼합기체 분위기에서 10초~30분간  $400^\circ\text{C} \sim 1000^\circ\text{C}$ 의 온도로 어닐링하는 후속 공정이 수반된 것이다.

- <67> 그리고, 하드마스크 질화막(65)은 화학기상증착법 또는 원자층증착법을 이용하여  $500\text{\AA}$  ~  $5000\text{\AA}$  두께로 증착하며, 실리콘질화막( $\text{Si}_3\text{N}_4$ )이다. 여기서, 하드마스크질화막(65)의 공정온도가  $600^\circ\text{C}$  이상으로높을 경우에는 전술한 하드마스크산화막(64) 형성후 추가 어닐링은 생략할 수도 있다.
- <68> 전술한 바와 같은 제2,3실시예에 따르면, 폴리사이드게이트 또는 메탈게이트 구조 상부에 하드마스크 산화막과 하드마스크 질화막의 이중 하드마스크 기술을 적용함으로써 폴리사이드게이트 또는 메탈게이트의 패터닝 공정이 용이함과 동시에 하드마스크 질화막만을 적용하던 것에 비해 스트레스로 인한 열화를 방지하며, 폴리사이드게이트 또는 메탈게이트 상에 형성되는 하드마스크 산화막을 저온에서 증착하므로 폴리사이드게이트 또는 메탈게이트를 구성하는 실리콘사이드 또는 금속막이 이상 산화되는 것을 방지한다.
- <69> 도 9는 본 발명의 제4실시예에 따라 제조된 반도체 소자의 게이트전극을 도시한 도면이다.
- <70> 도 9에 도시된 바와 같이, 실리콘 기판(71) 상에 게이트절연막(72)이 형성되고, 게이트절연막(72) 상에 제1게이트막(73), 확산배리어막(74) 및 제2게이트막(75)의 적층으로 이루어진 폴리메탈 게이트 구조가 형성된다. 그리고, 폴리메탈 게이트 구조 상부에 하드마스크 산화막(76), 하드마스크 질화막(77) 및 하드마스크 도전막(78)의 삼중 하드마스크층(Trippl hardmask)이 형성된다.
- <71> 도 9에서, 게이트절연막(72)은 실리콘기판(71)을 열산화시킨 실리콘산화막( $\text{SiO}_2$ )이고, 제1게이트막(73)은 폴리실리콘막 또는 폴리실리콘게르마늄막( $\text{PolySi}_{1-x}\text{Ge}_x$ ,  $x=0.01\sim0.99$ )이다. 그리고, 확산배리어막(74)은 제1게이트막(73)과 제2게이트막(75)간 상호확산을 방지하는 막으로  $10\text{\AA}\sim300\text{\AA}$  두께의 텅스텐질화막(WN

$x$ ,  $x=0.1\sim 2.0$ ) 또는  $5\text{\AA}\sim 20\text{\AA}$  두께의 실리콘질화막( $\text{SiN}_x$ ,  $x=0.1\sim 2.0$ )을 이용한다. 그리고, 제2게이트막(75)은 제1게이트막(73)과 확산배리어막(74) 위에 적층되어 폴리메탈게이트 구조를 형성하기 위해 텅스텐막(W)을 이용한다.

<72> 삼중 하드마스크층에서, 하드마스크 산화막(76)은  $70^\circ\text{C}\sim 350^\circ\text{C}$ 에서 원자층증착법(ALD)을 이용하여 형성한 것으로, 실리콘산화막( $\text{SiO}_2$ ),  $\text{SiO}_x\text{N}_y$ ( $x=0\sim 2.0$ ,  $y=0\sim 1.0$ ) 및  $\text{SiO}_x\text{F}_y$ ( $x=0\sim 2.0$ ,  $y=0\sim 1.0$ )로 이루어진 그룹중에서 선택되거나,  $\text{HfO}_2$ ,  $\text{ZrO}_2$ ,  $\text{Ta}_2\text{O}_5$ ,  $\text{Al}_2\text{O}_3$ ,  $\text{La}_2\text{O}_3$ ,  $\text{Y}_2\text{O}_3$  및  $\text{CeO}_2$ 로 이루어진 그룹중에서 선택된 고유전막이다. 예를 들어, 실리콘산화막( $\text{SiO}_2$ )을 형성하기 위한 실리콘 소스가스는  $\text{SiCl}_6$ ,  $\text{SiCl}_4$ ,  $\text{SiCl}_2\text{H}_2$ ,  $\text{SiH}_4$ ,  $\text{SiF}_4$  및  $\text{SiF}_6$ 로 이루어진 그룹중에서 선택되는 실리콘 함유 가스를 이용하고, 반응가스는  $\text{O}_2$ ,  $\text{O}_3$ ,  $\text{H}_2\text{O}$ ,  $\text{D}_2\text{O}$ (D는 중수소), NO 및  $\text{N}_2\text{O}$ 로 이루어진 그룹중에서 선택된다. 또한, 실리콘소스가스, 산화가스, 퍼지가스 등을 RF 플라즈마 또는 마이크로웨이브플라즈마로 활성화시켜 공급할 수도 있다.

<73> 한편, 하드마스크 산화막(76)은 전술한 실시예들과 동일하게, 후속 하드마스크질화막(77)의 공정온도가  $600^\circ\text{C}$  미만일 경우에는 치밀도 증가 및 막내 잔류하는 불순물 제거를 위해  $\text{N}_2$ ,  $\text{H}_2$  또는  $\text{N}_2$ 와  $\text{H}_2$ 의 혼합기체 분위기에서 10초~30분간  $400^\circ\text{C}\sim 1000^\circ\text{C}$ 의 온도로 어닐링하는 후속 공정이 수반된 것이다.

<74> 그리고, 하드마스크 질화막(77)은 화학기상증착법 또는 원자층증착법을 이용하여  $500\text{\AA}\sim 5000\text{\AA}$  두께로 증착한 실리콘질화막( $\text{Si}_3\text{N}_4$ )이고, 하드마스크 도전막(78)은 하드마스크 산화막(76)과 하드마스크 질화막(77)의 이중 하드마스크층보다 제2게이트막(75)의 패터닝을 더욱 용이하게 진행하기 위해 도입한 것으로, 텅스텐막(W) 또는 텅스텐질화막( $\text{WN}_x$ ,  $x=0.01\sim 2.0$ )을 이용한다. 여기서, 하드마스크 도전막(78)은 게이트 패터닝이 완료된후에 제거되어 잔류하지 않아야 한다.

- <75> 도 9에 도시된 제4실시예에서 폴리메탈게이트 구조에 삼중 하드마스크층을 적용한 경우를 예로 들었으나, 폴리사이드게이트 구조 또는 메탈 게이트 구조 상부에도 삼중 하드마스크층을 적용할 수 있다.
- <76> 그리고, 본 발명의 제5실시예로서, 하드마스크질화막/하드마스크산화막/하드마스크질화막의 삼중 구조를 채택할 수도 있는데, 이때, 하드마스크산화막 아래의 하드마스크질화막은 그 두께를  $10\text{\AA} \sim 200\text{\AA}$  두께로 얇게 증착한다. 이와 같이 얇은 두께는 텅스텐막의 산화를 억제할 수 있는 두께로, 하드마스크산화막을 증착하기전에 하드마스크질화막을 얇게 증착하면 하드마스크산화막 증착시 혹 발생할수도 있는 산소의 텅스텐막으로의 침투를 방지할 수 있다.
- <77> 본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위 내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

### 【발명의 효과】

- <78> 전술한 본 발명은 이중 하드마스크 중 게이트전극과 직접 접하는 하드마스크산화막을  $350^{\circ}\text{C}$  이하의 저온에서 형성하므로써 게이트전극의 이상 산화 현상을 억제하는 효과가 있다.
- <79> 그리고,  $90\text{nm}$ 급 이하의 소자에 적용되는 폴리메탈게이트 특히, 폴리실리콘, 텅스텐질화막 및 텅스텐막의 순서로 적층된 게이트전극(W/WN/Poly-Si) 패터닝시 이중 하드마스크를 적용할 수 있어 게이트전극에 가해지는 스트레스를 현저히 줄일 수 있고, 이로 인하여 트랜지스터 동작시 신뢰성이 향상되어 리프레시 및 수율을 향상시킬 수 있는 효과가 있다.

1020030043087

출력 일자: 2003/10/30

**【특허청구범위】****【청구항 1】**

반도체 기판 상에 게이트절연막을 형성하는 단계;

상기 게이트절연막 상에 적어도 금속막으로 이루어진 게이트막을 형성하는 단계;

상기 금속막의 산화 온도보다 낮은 온도에서 상기 게이트막 상에 하드마스크 산화막을 형성하는 단계;

상기 하드마스크 산화막 상에 하드마스크 질화막을 형성하는 단계;

상기 하드마스크 질화막과 상기 하드마스크 산화막을 게이트전극을 형성하기 위한 이중 마스크층으로 패터닝하는 단계; 및

상기 이중 마스크층을 식각마스크로 상기 게이트막을 식각하여 게이트전극을 형성하는 단계

를 포함하는 반도체 소자의 게이트전극 제조 방법.

**【청구항 2】**

제1항에 있어서,

상기 하드마스크 산화막을 형성하는 단계는,

70℃ ~ 350℃의 온도에서 원자층증착법으로 이루어지는 것을 특징으로 하는 반도체 소자의 게이트전극 제조 방법.

## 【청구항 3】

제1항 또는 제2항에 있어서,

상기 하드마스크 산화막을 형성하는 단계는,

상기 하드마스크 산화막의 치밀화 및 막내 불순물 제거를 위한 어닐링 단계를 더 포함하는 반도체 소자의 게이트전극 제조 방법.

## 【청구항 4】

제3항에 있어서,

상기 어닐링 단계는,

$N_2$ ,  $H_2$  또는  $N_2$ 와  $H_2$ 의 혼합기체 분위기에서 10초~30분간  $400^\circ C \sim 1000^\circ C$ 의 온도로 이루어지는 것을 특징으로 하는 반도체 소자의 게이트전극 제조 방법.

## 【청구항 5】

제1항에 있어서,

상기 하드마스크 산화막은,

실리콘산화막( $SiO_2$ ),  $SiO_xN_y$  ( $x=0 \sim 2.0$ ,  $y=0 \sim 1.0$ ) 및  $SiO_xF_y$  ( $x=0 \sim 2.0$ ,  $y=0 \sim 1.0$ )로 이루어진 그룹중에서 선택되거나,  $HfO_2$ ,  $ZrO_2$ ,  $Ta_2O_5$ ,  $Al_2O_3$ ,  $La_2O_3$ ,  $Y_2O_3$  및  $CeO_2$ 로 이루어진 그룹중에서 선택되는 것을 특징으로 하는 반도체 소자의 게이트전극 제조 방법.

## 【청구항 6】

제1항에 있어서,



상기 하드마스크 산화막은,

10 Å ~ 1000 Å의 두께로 형성되는 것을 특징으로 하는 반도체 소자의 게이트전극 제조 방법.

【청구항 7】

제1항에 있어서,

상기 게이트막은,

금속막/확산배리어막/폴리실리콘막의 적층, 실리사이드/폴리실리콘막의 적층, 금속막의 단독 구조, 금속막/확산배리어막/폴리실리콘게르마늄막의 적층 또는 실리사이드/폴리실리콘게르마늄막의 적층인 것을 특징으로 하는 반도체 소자의 게이트전극 제조 방법.

【청구항 8】

반도체 기판 상에 게이트절연막을 형성하는 단계;

상기 게이트절연막 상에 적어도 금속막으로 이루어진 게이트막을 형성하는 단계;

상기 금속막의 산화 온도보다 낮은 온도에서 상기 게이트막 상에 하드마스크 산화막을 형성하는 단계;

상기 하드마스크 산화막 상에 하드마스크 질화막과 하드마스크 도전막을 적층하여 삼중 하드마스크를 형성하는 단계;

상기 삼중 하드마스크를 게이트전극을 형성하기 위한 마스크층으로 패터닝하는 단계;  
및

상기 패터닝된 삼중 하드마스크를 식각마스크로 상기 게이트막을 식각하여 게이트전극을 형성하는 단계

를 포함하는 반도체 소자의 게이트전극 제조 방법.

【청구항 9】

제8항에 있어서,

상기 하드마스크 산화막을 형성하는 단계는,

70℃~350℃의 온도에서 원자층증착법으로 이루어지는 것을 특징으로 하는 반도체 소자의 게이트전극 제조 방법.

【청구항 10】

제8항 또는 제9항에 있어서,

상기 하드마스크 산화막을 형성하는 단계는,

상기 하드마스크 산화막의 치밀화 및 막내 불순물 제거를 위한 어닐링 단계를 더 포함하는 반도체 소자의 게이트전극 제조 방법.

【청구항 11】

제10항에 있어서,

상기 어닐링 단계는,



$N_2$ ,  $H_2$  또는  $N_2$ 와  $H_2$ 의 혼합기체 분위기에서 10초~30분간  $400^\circ\text{C} \sim 1000^\circ\text{C}$ 의 온도로 이루어지는 것을 특징으로 하는 반도체 소자의 게이트전극 제조 방법.

#### 【청구항 12】

제8항에 있어서,

상기 하드마스크 산화막은,

실리콘산화막( $\text{SiO}_2$ ),  $\text{SiO}_x\text{N}_y$  ( $x=0 \sim 2.0$ ,  $y=0 \sim 1.0$ ) 및  $\text{SiO}_x\text{F}_y$  ( $x=0 \sim 2.0$ ,  $y=0 \sim 1.0$ )로 이루어진 그룹중에서 선택되거나,  $\text{HfO}_2$ ,  $\text{ZrO}_2$ ,  $\text{Ta}_2\text{O}_5$ ,  $\text{Al}_2\text{O}_3$ ,  $\text{La}_2\text{O}_3$ ,  $\text{Y}_2\text{O}_3$  및  $\text{CeO}_2$ 로 이루어진 그룹중에서 선택되는 것을 특징으로 하는 반도체 소자의 게이트전극 제조 방법.

#### 【청구항 13】

제8항에 있어서,

상기 하드마스크 산화막은,

$10\text{\AA} \sim 1000\text{\AA}$ 의 두께로 형성되는 것을 특징으로 하는 반도체 소자의 게이트전극 제조 방법.

#### 【청구항 14】

제8항에 있어서,

상기 게이트막은,

금속막/확산배리어막/폴리실리콘막의 적층, 실리사이드/폴리실리콘막의 적층, 금속막의 단독 구조, 금속막/확산배리어막/폴리실리콘게르마늄막의 적층 또는 실리사이드/폴리실리콘게



르마늄막의 적층인 것을 특징으로 하는 반도체 소자의 게이트전극 제조 방법.

【청구항 15】

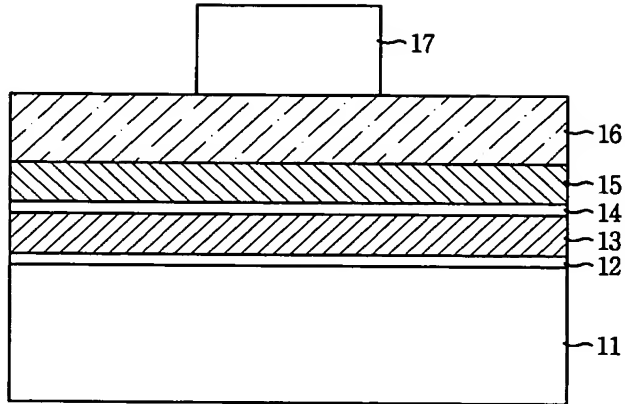
제8항에 있어서,

상기 하드마스크 도전막은 텅스텐막 또는 텅스텐질화막인 것을 특징으로 하는 반도체 소자의 게이트전극 제조 방법.

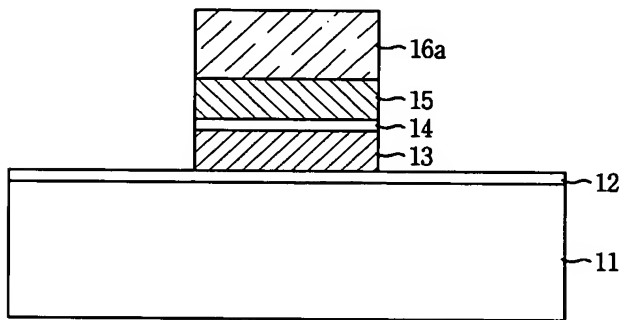


【도면】

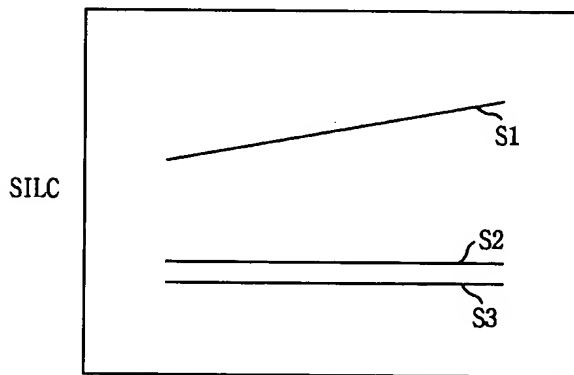
【도 1a】



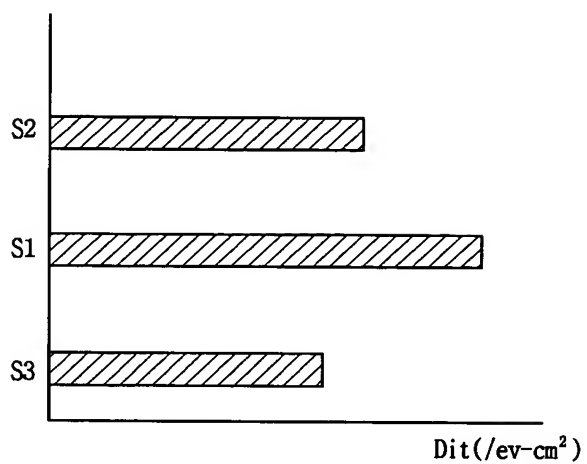
【도 1b】



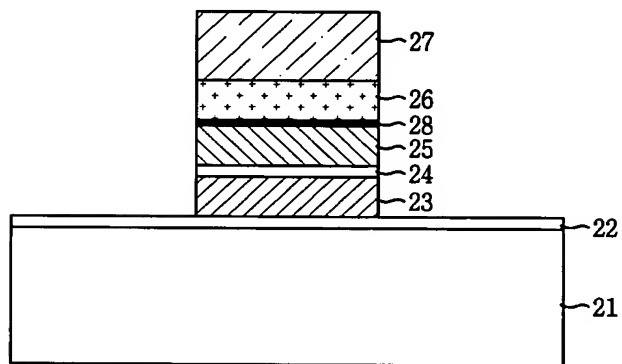
【도 2】



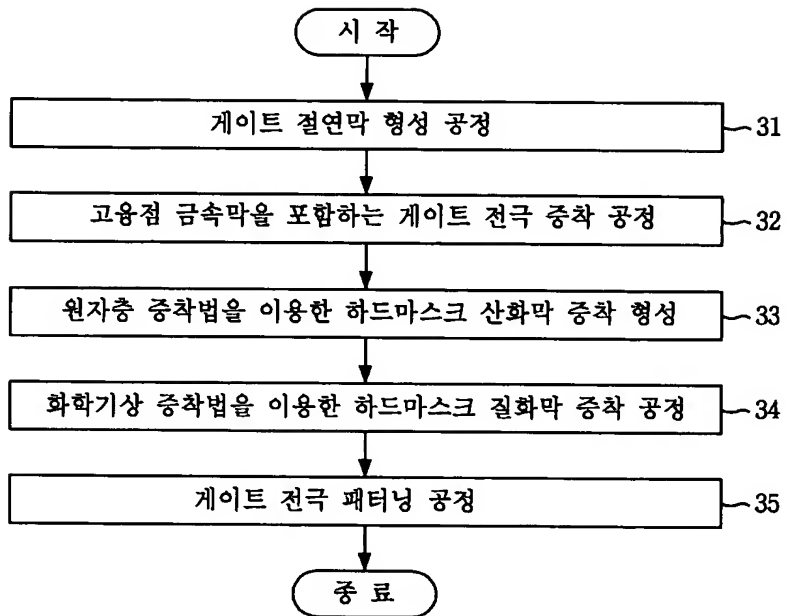
【도 3】



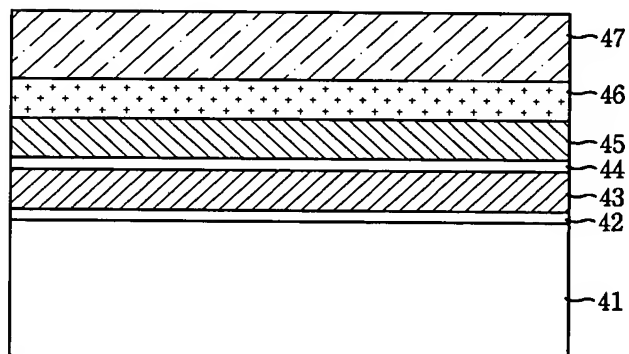
【도 4】



【도 5】

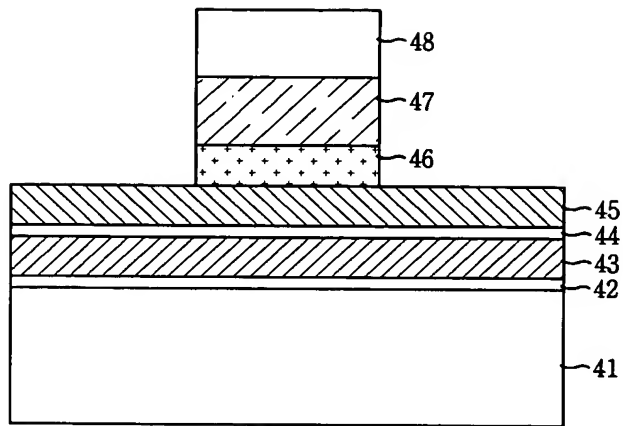


【도 6a】

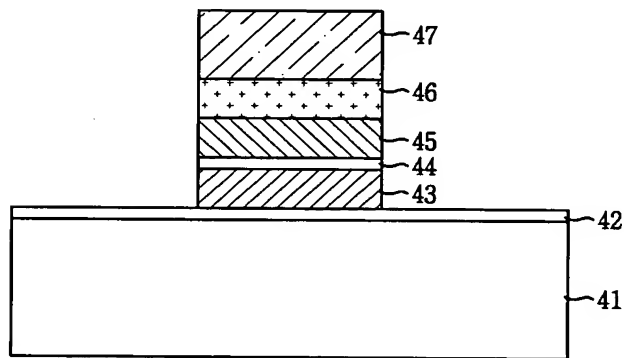




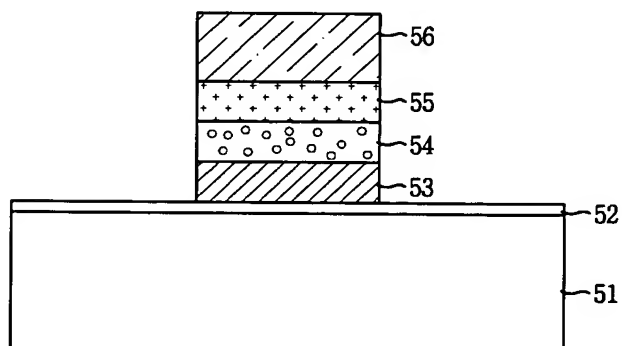
【도 6b】



【도 6c】

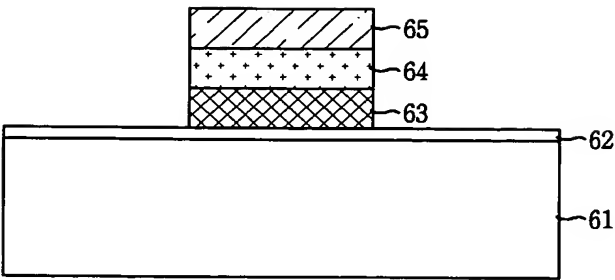


【도 7】





【도 8】



【도 9】

